

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-205353

(43)公開日 平成11年(1999) 7 月30日

(51)Int.Cl. <sup>8</sup>	識別記号	F I		
H 0 4 L 12/40		H 0 4 L 11/00	3 2 0	
G 0 6 F 1/24		G 0 6 F 13/00	3 5 7 A	
	13/00		13/38	3 5 0
	13/38		1/00	3 5 0 Z

審査請求 未請求 請求項の数6 O L (全 9 頁)

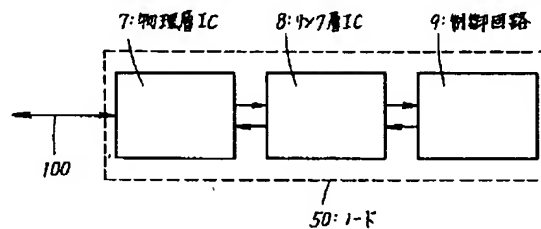
(21)出願番号	特願平10-1452	(71)出願人	000006507 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
(22)出願日	平成10年(1998) 1 月 7 日	(72)発明者	栗山 和也 東京都武蔵野市中町2丁目9番32号 横河 電機株式会社内
		(72)発明者	永田 和生 東京都武蔵野市中町2丁目9番32号 横河 電機株式会社内
		(74)代理人	弁理士 東野 博文

(54)【発明の名称】 バスリセット処理方法及びこれを用いたノード

(57)【要約】

【課題】 ISOデータ送信の状況に応じてバスリセット処理の保留と再開の制御を行うことが可能なバスリセット処理方法及びこれを用いたノードを実現する。

【解決手段】 高速シリアルバスのノードにおいて、高速シリアルバス上のパケットデータを送受信する物理層ICと、この物理層ICで受信されたパケットデータからデータを抽出するリンク層ICと、物理層ICとリンク層ICを制御する制御回路とを備え、高速シリアルバスのノードの追加若しくは削除に伴いバスリセット信号を受信すると、物理層ICがツリー識別処理を延期するフラグに基づきバスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、高速シリアルバスに接続された全てのノードの等時性データ通信が完了した時点でバスリセット処理を再開させるパケットデータを全てのノードに送信し、ツリー識別及び前記自己識別を行う。



## 【特許請求の範囲】

【請求項1】高速シリアルバスのノードの追加若しくは削除に伴い前記高速シリアルバスをリセットするツリー識別及び自己識別を行うバスリセット処理方法において、

前記ツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、

自己の等時性データ通信の完了まで待機し、

前記高速シリアルバスに接続された全てのノードの等時性データ通信が完了した時点で前記バスリセット処理を再開させるパケットデータを前記全てのノードに送信し、

前記ツリー識別及び前記自己識別を行うことを特徴とするバスリセット処理方法。

【請求項2】高速シリアルバスのノードの追加若しくは削除に伴い前記高速シリアルバスをリセットするツリー識別及び自己識別を行うバスリセット処理方法において、

前記ツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、

自己の等時性データ通信の完了まで待機し、

前記高速シリアルバスに接続されたルート・ノードからの前記バスリセット処理を再開させるパケットデータを受信するまで待機し、

前記ツリー識別及び前記自己識別を行うことを特徴とするバスリセット処理方法。

【請求項3】高速シリアルバスのノードにおいて、前記高速シリアルバス上のパケットデータを送受信する物理層ICと、

この物理層ICで受信されたパケットデータからデータを抽出するリンク層ICと、

物理層ICと前記リンク層ICを制御する制御回路とを備え、

前記高速シリアルバスのノードの追加若しくは削除に伴いバスリセット信号を受信すると、前記物理層ICがツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、前記高速シリアルバスに接続された全てのノードの等時性データ通信が完了した時点で前記バスリセット処理を再開させるパケットデータを前記全てのノードに送信し、前記ツリー識別及び前記自己識別を行うことを特徴とするノード。

【請求項4】高速シリアルバスのノードにおいて、前記高速シリアルバス上のパケットデータを送受信する物理層ICと、

この物理層ICで受信されたパケットデータからデータを抽出するリンク層ICと、

物理層ICと前記リンク層ICを制御する制御回路とを備え、

前記高速シリアルバスのノードの追加若しくは削除に伴

いバスリセット信号を受信すると、前記物理層ICがツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、前記高速シリアルバスに接続されたルート・ノードからの前記バスリセット処理を再開させるパケットデータを受信するまで待機し、ツリー識別及び自己識別を行うことを特徴とするノード。

【請求項5】前記制御回路が、前記物理層ICがツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期している途中にI/O処理要求があった場合、新たなI/O処理要求を保留し、現在進行中の等時性データ送信を完了させて前記バスリセット処理を再開させるパケットデータを受信するまで待機させることを特徴とする請求項3及び請求項4記載のノード。

【請求項6】前記制御回路から前記物理層IC内のツリー識別処理を延期するフラグの設定が可能なことを特徴とする請求項3及び請求項4記載のノード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速シリアルバスにおけるバスリセット発生後のバスリセット処理方法に関し、特に状況に応じて処理の保留を行うことが可能なバスリセット処理方法及びこれを用いたノードに関する。

【0002】

【従来の技術】動画像、静止画像、音声及び文字等のマルチメディア情報をコンピュータ、周辺機器及びデジタルビデオカメラ等の一般向けのAV機器との間で高速に通信するための新しい通信プロトコルがIEEE (Institute of Electrical and Electronics Engineers) で国際標準化されつつある。

【0003】前記通信プロトコルではIEEE1394バス（以下、単に高速シリアルバスと呼ぶ。）にノードの追加、若しくは、削除があった場合、各ノードは“ツリー識別”により高速シリアルバスに接続されネットワークを構成する各ノードの接続関係（ツリー）を識別し、“自己識別”により各ノード固有のID番号を選択すると共に接続されたノード間の親子関係（管理関係）を確立する。

【0004】このため、制御装置であるコンピュータ、プリンタ及びデジタルビデオカメラ等のノードを随時高速シリアルバスに接続、若しくは、高速シリアルバスから取り外すことが可能になる。

【0005】図6はこのような従来の高速シリアルバスに接続された各ノードの関係を示す説明図である。図6において1, 2, 3, 4, 5及び6はデジタルビデオカメラやデジタルビデオテープレコーダ（デジタルVTR）等のノードである。

【0006】ノード1の高速シリアルバスのポート（以下、単にポートと呼ぶ。）はノード2の第1のポートに

接続され、ノード2の第2及び第3のポートはノード5のポート及びノード3の第1のポートにそれぞれ接続される。また、ノード3の第3のポートはノード4の第1のポートに接続される。但し、この時点ではノード3の第2のポートとノード4の第2及び第3のポートには接続が無いものとする。

【0007】また、各ノード固有のID番号としてはノード1、2、3、4及び5に"ID=0"、"ID=2"、"ID=4"、"ID=3"及び"ID=1"がそれぞれ割り振られている。この時、ID番号の一番大きいノード3が"ルート・ノード"として高速シリアルバス全体を制御し、ノード2及びノード4はノード3の子供として管理され、ノード1及びノード5はノード2の子供として管理されることになる。

【0008】これにより、ノード1～ノード5は高速シリアルバスで互いに接続されたことになり、ノード間のデータのやり取りを高速に行うことが可能になる。例えば、ノード1及びノード2をデジタルビデオカメラ及びデジタルVTRとすれば、デジタルビデオカメラであるノード1に録画されている画像データをデジタルVTRであるノード2にダビングすることが可能になる。

【0009】そして、このような状態から図6に示すようにノード4の第3のポートに対してノード6の第3のポートが接続された場合は、高速シリアルバスの接続関係が変わるためノード4はバスリセット信号を生成してノード3及びノード6に送信する。ノード3はノード4からバスリセット信号を受信するとノード2にバスリセット信号を送信し、ノード2はノード3からバスリセット信号を受信するとノード1及びノード5にバスリセット信号を送信する。

【0010】このように、全ノード1～6にバスリセット信号が伝播することにより、前述の"ツリー識別"及び"自己識別"を行い新しい高速シリアルバスに接続されネットワークを構成する各ノードの接続関係を識別し、各ノード固有のID番号を選択すると共に接続されたノード間の親子関係を確立する。

【0011】ここで、各ノードにおけるバスリセット信号受信から"自己識別"までの状態の遷移を状態遷移図を用いて説明する。図7はバスリセット状態遷移を示す状態遷移図である。

【0012】図7において"ST01"、"ST02"、"ST03"及び"ST04"は"バスリセット開始状態"、"リセット待機状態"、"ツリー識別状態"及び"自己識別状態"をそれぞれ示している。

【0013】また、図7において"TO01"及び"TO05"は状態"ST01"への遷移を、"TO02"は状態"ST01"から状態"ST02"への遷移を、"TO03"は状態"ST02"から状態"ST03"への遷移を、"TO04"は状態"ST02"から

状態"ST01"への遷移をそれぞれ示している。

【0014】ノードが他のノードで発生したバスリセット信号を受信した場合は"TO01"の遷移により状態"ST01"に遷移する。一方、このノード自身がバスリセット信号を生成した場合は"TO05"の遷移により状態"ST01"に遷移する。

【0015】状態"ST01"においてノードはバスリセット信号を子供のノードに送信し、"TO02"の遷移により状態"ST02"に遷移する。この状態"ST02"でノードはノード自身のポートが駆動されていない状態、言い換えれば、アイドル状態になるまで前記ポートにアイドル信号を送信し、一定時間経過後"TO04"の遷移で状態"ST01"に戻る。

【0016】一方、ノードの全てのポートがアイドル状態になったことを認識するとノードは"TO03"の遷移で状態"ST03"に遷移して"ツリー識別"を行うと共に状態"ST04"で"自己識別"を行う。

【0017】この結果、新たなノードの追加、若しくは、ノードの削除が生じた場合に、バスリセット信号を生成して"ツリー識別"及び"自己識別"を行なうことにより、新しい高速シリアルバスに接続されネットワークを構成する各ノードの接続関係を識別し、各ノード固有のID番号を選択すると共に接続されたノード間の親子関係を確立することが可能になる。

【0018】

【発明が解決しようとする課題】しかし、高速シリアルバスでは等時性(Isochronous)データ(以下、ISOデータと呼ぶ。)送信中に前述のバスリセット処理が行われた場合には、その処理によりデータ送信が中断されてしまう。

【0019】例えば、図6においてデジタルビデオカメラであるノード1に録画されている画像データをデジタルVTRであるノード2にダビングしている最中にノード4の第3のポートにノード6の第3のポートが接続された場合には、バスリセット処理の間データ送信が不能になるのでデジタルVTRであるノード2で録画された画像に画像データに抜け落ちが生じてしまうと言った問題点があった。

【0020】また、このようなバスリセットの発生は避け難く、バスリセットによるデータ送信のリアルタイム性が損なわれてしまうと言った問題点があった。従って本発明が解決しようとする課題は、ISOデータ送信の状況に応じてバスリセット処理の保留と再開の制御を行うことが可能なバスリセット処理方法及びこれを用いたノードを実現することにある。

【0021】

【課題を解決するための手段】このような課題を達成するために、本発明のうち請求項1記載の発明は、高速シリアルバスのノードの追加若しくは削除に伴い前記高速シリアルバスをリセットするツリー識別及び自己識別を

行うバスリセット処理方法において、ツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、前記高速シリアルバスに接続された全てのノードの等時性データ通信が完了した時点で前記バスリセット処理を再開させるパケットデータを前記全てのノードに送信し、前記ツリー識別及び前記自己識別を行うことにより、状況に応じてバスリセット処理の保留を行うことが可能になる。

【0022】請求項2記載の発明は、高速シリアルバスのノードの追加若しくは削除に伴い前記高速シリアルバスをリセットするツリー識別及び自己識別を行うバスリセット処理方法において、ツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、前記高速シリアルバスに接続されたルート・ノードからの前記バスリセット処理を再開させるパケットデータを受信するまで待機し、前記ツリー識別及び前記自己識別を行うことにより、状況に応じてバスリセット処理の保留を行うことが可能になる。

【0023】請求項3記載の発明は、高速シリアルバスのノードにおいて、前記高速シリアルバス上のパケットデータを送受信する物理層ICと、この物理層ICで受信されたパケットデータからデータを抽出するリンク層ICと、物理層ICと前記リンク層ICを制御する制御回路とを備え、前記高速シリアルバスのノードの追加若しくは削除に伴いバスリセット信号を受信すると、前記物理層ICがツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、前記高速シリアルバスに接続された全てのノードの等時性データ通信が完了した時点で前記バスリセット処理を再開させるパケットデータを前記全てのノードに送信し、前記ツリー識別及び前記自己識別を行うことにより、状況に応じてバスリセット処理の保留を行うことが可能なノードが実現できる。

【0024】請求項4記載の発明は、高速シリアルバスのノードにおいて、前記高速シリアルバス上のパケットデータを送受信する物理層ICと、この物理層ICで受信されたパケットデータからデータを抽出するリンク層ICと、物理層ICと前記リンク層ICを制御する制御回路とを備え、前記高速シリアルバスのノードの追加若しくは削除に伴いバスリセット信号を受信すると、前記物理層ICがツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期し、自己の等時性データ通信の完了まで待機し、前記高速シリアルバスに接続されたルート・ノードからの前記バスリセット処理を再開させるパケットデータの受信を受信するまで待機し、ツリー識別及び自己識別を行うことにより、状況に応じてバスリセット処理の保留を行うことが可能なノードが実現できる。

【0025】請求項5記載の発明は、請求項3及び請求項4記載の発明であるノードにおいて、前記制御回路が、前記物理層ICがツリー識別処理を延期するフラグに基づき前記バスリセット処理を延期している途中にI/O処理要求があった場合、新たなI/O処理要求を保留し、現在進行中の等時性データ送信を完了させて前記バスリセット処理を再開させるパケットデータを受信するまで待機させることにより、ISOデータ送信の消失なしに中断することが可能になる。

【0026】請求項6記載の発明は、請求項3及び請求項4記載の発明であるノードにおいて、前記制御回路から前記物理層IC内のツリー識別処理を延期するフラグの設定が可能なことにより、制御回路から状況に応じたバスリセット処理の保留の有無を制御できる。

【0027】

【発明の実施の形態】以下本発明を図面を用いて詳細に説明する。図1は本発明に係るバスリセット処理方法を用いたノードを示す構成ブロック図である。図1において7は物理層IC、8はリンク層IC、9は制御回路、100は高速シリアルバスである。また、7～9はノード50を構成している。高速シリアルバス100は物理層IC7に接続され、物理層IC7の入出力はリンク層IC8にそれぞれ接続され、リンク層IC8の入出力は制御回路9に接続される。

【0028】ここで、図1に示す実施例のノード50の動作を図2、図3、図4及び図5を用いて説明する。図2はバスリセット状態遷移を示す状態遷移図、図3はバスリセット信号受信後の物理層ICの動作を説明するフロー図、図4及び図5はI/O処理を説明するフロー図である。

【0029】高速シリアルバス100を伝播したパケットデータは物理層IC7で受信され、物理層IC7で受信されたパケットデータはリンク層IC8においてデータとして抽出される。制御回路9はリンク層IC8から出力されるデータを取り込み必要な処理を行う。

【0030】図2において"ST01"、"ST02"、"ST03"及び"ST04"は図7と同様に"バスリセット開始状態"、"リセット待機状態"、"ツリー識別状態"及び"自己識別状態"をそれぞれ示しており、"ST05"及び"ST06"は"ツリー識別延期状態"及び"ノード情報取得保留状態"を示している。また、図2において"TO01"～"TO05"も図7と同様であるので説明は省略する。

【0031】ノード50が他のノードで発生したバスリセット信号を受信した場合は"TO01"の遷移により状態"ST01"に遷移する。一方、ノード50がバスリセット信号を生成した場合は"TO05"の遷移により状態"ST01"に遷移する。

【0032】状態"ST01"においてノード50はバスリセット信号を子供のノードに送信し、"TO02"

の遷移により状態"ST02"に遷移する。この状態"ST02"でノード50はノード自身のポートが駆動されていない状態、言い換えれば、アイドル状態になるまで前記ポートにアイドル信号を送信し、一定時間経過後"ST04"の遷移で状態"ST01"に戻る。

【0033】一方、ノード50の全てのポートがアイドル状態になったことを認識するとノード50は"ST03"の遷移で状態"ST05"に遷移して状況に応じてツリー識別処理を延期する。例えば、状態"ST05"に遷移時点で高速シリアルバスにおいてISOデータ送信中の場合にはその送信の終了までツリー識別処理を延期する。

【0034】そして、前記延期状況が解消した場合にノード50は"ST03"の遷移で状態"ST03"に遷移して"ツリー識別"を行うと共に状態"ST04"で"自己識別"を行い、状態"ST06"に遷移して状況に応じてノード情報取得処理を保留する。

【0035】ここで、図3～図5を用いてより詳細に説明する。図3"ST01"において物理層IC7は高速シリアルバス100上からバスリセット信号を受信するとツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL1"が"1"であるかどうかを判断する。

【0036】もし、図3"ST01"で"BUS\_RESET\_CONTROL1"が"1"でなければ図3"ST02"において物理層IC7は通常バスリセット処理を行う。具体的には状態"ST03"及び"ST04"においてツリー識別及び自己識別を行う。

【0037】もし、図3"ST01"で"BUS\_RESET\_CONTROL1"が"1"であれば図3"ST03"において物理層IC7は"BUS\_RESET\_PENDING"を"1"にすると共に図3"ST04"において自己のノード50がISOデータ送信中であるか否かを判断する。

【0038】もし、図3"ST04"でISOデータ送信中であれば図3"ST05"において物理層IC7はISOデータ送信完了まで待機し、送信完了後に図3"ST06"の処理を行う。一方、図3"ST04"においてISOデータ送信中でなければ図3"ST06"の処理を行う。

【0039】図3"ST06"において物理層IC7はノード50が"ルート・ノード"であるかを判断し、もし、ノード50が"ルート・ノード"であれば図3"ST07"において高速シリアルバス100に接続された全てのノードでのISOデータ送信が完了したか否かを判断する。

【0040】もし、図3"ST07"において高速シリアルバス100に接続された全てのノードのISOデータ送信が完了していなければ、図3"ST08"において物理層IC7は全てのノードにおけるISOデータ送信の完了まで待機し、送信完了後図3"ST09"の処理を行う。また、図3"ST07"において全てのノード

ドでISO送信が完了していれば図3"ST09"の処理を行う。

【0041】図3"ST09"において物理層IC7は高速シリアルバス100に接続された全てのノードに対して"BUS\_RESET\_START"のパケットデータを送信して図3"ST12"の処理を行う。

【0042】一方、図3"ST06"において物理層IC7はノード50が"ルート・ノード"でなければ図3"ST10"において"ルート・ノード"から送信される"BUS\_RESET\_START"のパケットデータの受信まで待機状態に入り、図3"ST11"において"BUS\_RESET\_START"のパケットデータが受信された時点で図3"ST12"の処理を行う。

【0043】図3"ST12"及び"ST13"において物理層IC7はバスリセット処理であるツリー識別処理及び自己識別処理を行い、新しい高速シリアルバスに接続されネットワークを構成する各ノードの接続関係を識別し、各ノード固有のID番号を選択すると共に接続されたノード間の親子関係を確立する。

【0044】さらに、図3"ST14"においてノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL2"が"1"であるかどうかを判断する。もし、図3"ST14"で"BUS\_RESET\_CONTROL2"が"1"であれば図3"ST15"において物理層IC7はノード情報取得処理を行うと共に図3"ST16"の処理を行う。

【0045】また、もし、図3"ST14"で"BUS\_RESET\_CONTROL2"が"1"でなければ図3"ST16"の処理を行う。そして、図3"ST16"において物理層IC7は"BUS\_RESET\_PENDING"を"0"に戻す。

【0046】すなわち、ツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL1"が"1"であればバスリセット処理を延期して高速シリアルバス100に接続された全てのノードのISOデータ通信を完了させてからバスリセット処理再開させることになる。

【0047】また、ノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL2"が"1"であればノード情報取得処理を保留することになる。前述のようにノード情報取得にはノード情報を要求するパケット(Request Packet)を送信から始まり受信完了を示すパケット(Ack Complete Packet)の送信及び受信したノード情報のパケットの内容の解析と言った各ノード間での何往復かの通信が必要となるので、ISOデータ送信に支障が生じる場合はその処理を保留することが可能になる。

【0048】この結果、ツリー識別処理を延期するフラグに基づきバスリセット処理を延期して高速シリアルバス100に接続された全てのノードのISOデータ通信を完了させてからバスリセット処理再開させることにより、状況に応じてバスリセット処理の保留を行うことが可能になる。

【0049】また、制御回路9からI/O処理要求があ

った場合に制御回路9で動作するアプリケーションのドライバ部(以下、単にドライバ部と呼ぶ。)は図4" S101"において"BUS\_RESET\_PENDING"が"1"かどうかを判断する。もし、図4" S101"において"BUS\_RESET\_PENDING"が"1"でなければ図4" S106"において通常のI/O処理を行う。

【0050】もし、図4" S101"において"BUS\_RESET\_PENDING"が"1"であれば、図4" S102"においてドライバ部は今後のI/O処理要求を保留すると共に図4" S103"において現在ISOデータ送信中であるか否かを判断する。

【0051】もし、図4" S103"において現在ISOデータ送信中でなければ、図4" S105"の処理を行い、図4" S103"において現在ISOデータ送信中であれば図4" S104"においてISOデータ送信完了まで待機して図4" S105"の処理を行う。図4" S105"においてドライバ部は"ルート・ノード"からの"BUS\_RESET\_START"のバケットデータを受信するまで待機する。

【0052】すなわち、"BUS\_RESET\_PENDING"が"1"、言い換えれば、バスリセット処理が保留中にI/O処理要求があった場合、新たなI/O処理要求を保留し、現在進行中のISOデータ送信を完了させてツリー識別処理開始まで待機することになる。

【0053】この結果、バスリセット処理が保留中にI/O処理要求があった場合、新たなI/O処理要求を保留し、現在進行中のISOデータ送信を完了させてツリー識別処理開始まで待機することにより、ISOデータ送信の中断を最小時間にすることの保証が可能になる。

【0054】さらに、制御回路9から物理層IC7内のツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"及びノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"の設定要求があった場合、ドライバ部は図5" S201"においてツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"を"1"にする設定要求であるか否かを判断する。

【0055】もし、図5" S201"においてツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"を"1"にする設定要求であれば、図5" S202"においてドライバ部はツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"を"1"にして図5" S204"の処理を行う。

【0056】また、ツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"を"1"にする設定要求でなければ、図5" S203"においてドライバ部はツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"を"0"にすると共に図5" S207"の処理を行う。

【0057】同様に、ドライバ部は図5" S204"においてノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"を"1"にする設定要求であるか否かを

判断する。

【0058】もし、図5" S204"においてノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"を"1"にする設定要求であれば、図5" S205"においてドライバ部はノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"を"1"にして図5" S207"の処理を行う。

【0059】また、ノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"を"1"にする設定要求でなければ、図5" S206"においてドライバ部はノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"を"0"にすると共に図5" S207"の処理を行う。そして、最後に図5" S207"においてドライバ部はその他のI/O制御処理を行う。

【0060】すなわち、制御回路9からの要求により物理層IC7内のツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"及びノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"の設定が可能になる。

【0061】この結果、制御回路9から物理層IC7内のツリー識別処理を延期するフラグ"BUS\_RESET\_CONTROL 1"及びノード情報取得処理を保留するフラグ"BUS\_RESET\_CONTROL 2"の設定を可能にすることにより、制御回路9から状況に応じたバスリセット処理の保留の有無を制御できることになる。

【0062】なお、図2～図4の説明に際しては簡単のために各種フラグである"BUS\_RESET\_PENDING"、"BUS\_RESET\_CONTROL 1"及び"BUS\_RESET\_CONTROL 2"の値を"0"若しくは"1"で表現していたが、勿論この数値に限定されるものではなく、"0"及び"1"を入れ替えて用いたり、その他の数値を用いても構わない。

【0063】

【発明の効果】以上説明したことから明らかなように、本発明によれば次のような効果がある。請求項1及び請求項2の発明によれば、ツリー識別処理を延期するフラグに基づきバスリセット処理を延期して高速シリアルバスに接続された全てのノードのISOデータ通信を完了させてからバスリセット処理再開させることにより、状況に応じてバスリセット処理の保留を行うことが可能なバスリセット処理方法が実現できる。

【0064】また、請求項3及び請求項4の発明によれば、ツリー識別処理を延期するフラグに基づきバスリセット処理を延期して高速シリアルバスに接続された全てのノードのISOデータ通信を完了させてからバスリセット処理再開させることにより、状況に応じてバスリセット処理の保留を行うことが可能なバスリセット処理方法を用いたノードが実現できる。

【0065】また、請求項5の発明によれば、バスリセット処理が保留中にI/O処理要求があった場合、新たなI/O処理要求を保留し、現在進行中のISOデータ送信を完了させてツリー識別処理開始まで待機すること

11

により、ISOデータ送信の中断を最小時間にすることの保証が可能になる。

【0066】また、請求項6の発明によれば、制御回路から物理層IC内のツリー識別処理を延期するフラグ及びノード情報取得処理を保留するフラグの設定を可能にすることにより、制御回路から状況に応じたバスリセット処理の保留の有無を制御できる。

【図面の簡単な説明】

【図1】本発明に係るバスリセット処理方法を用いたノードを示す構成ブロック図である。

【図2】バスリセット状態遷移を示す状態遷移図である。

【図3】バスリセット信号受信後の物理層ICの動作を

12

説明するフロー図である。

【図4】I/O処理を説明するフロー図である。

【図5】I/O処理を説明するフロー図である。

【図6】従来の高速シリアルバスに接続された各ノードの関係を示す説明図である。

【図7】バスリセット状態遷移を示す状態遷移図である。

【符号の説明】

1, 2, 3, 4, 5, 6, 50 ノード

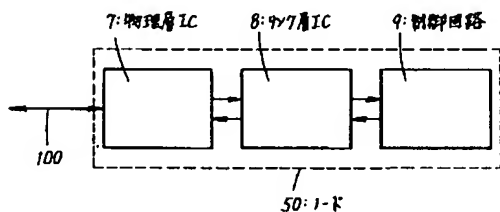
10 物理層IC

8 リンク層IC

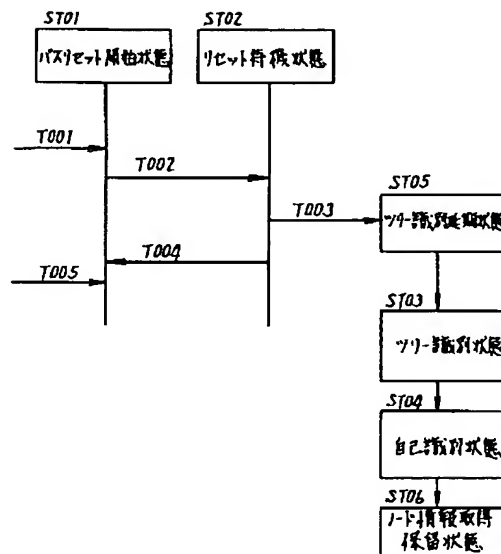
9 制御回路

100 高速シリアルバス

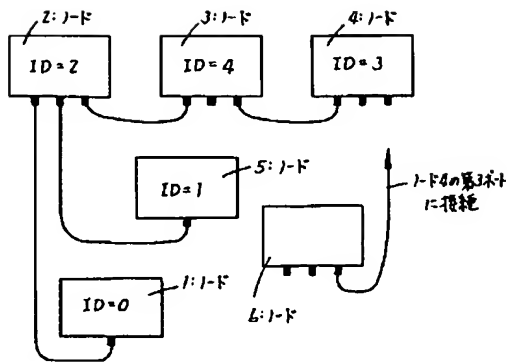
【図1】



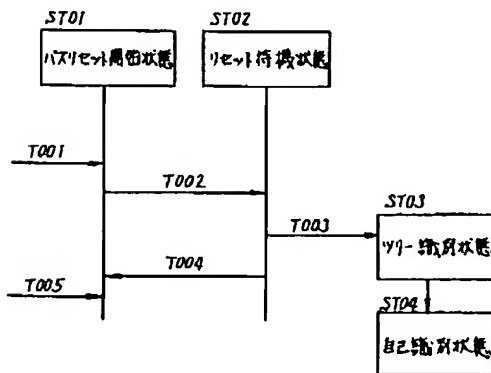
【図2】



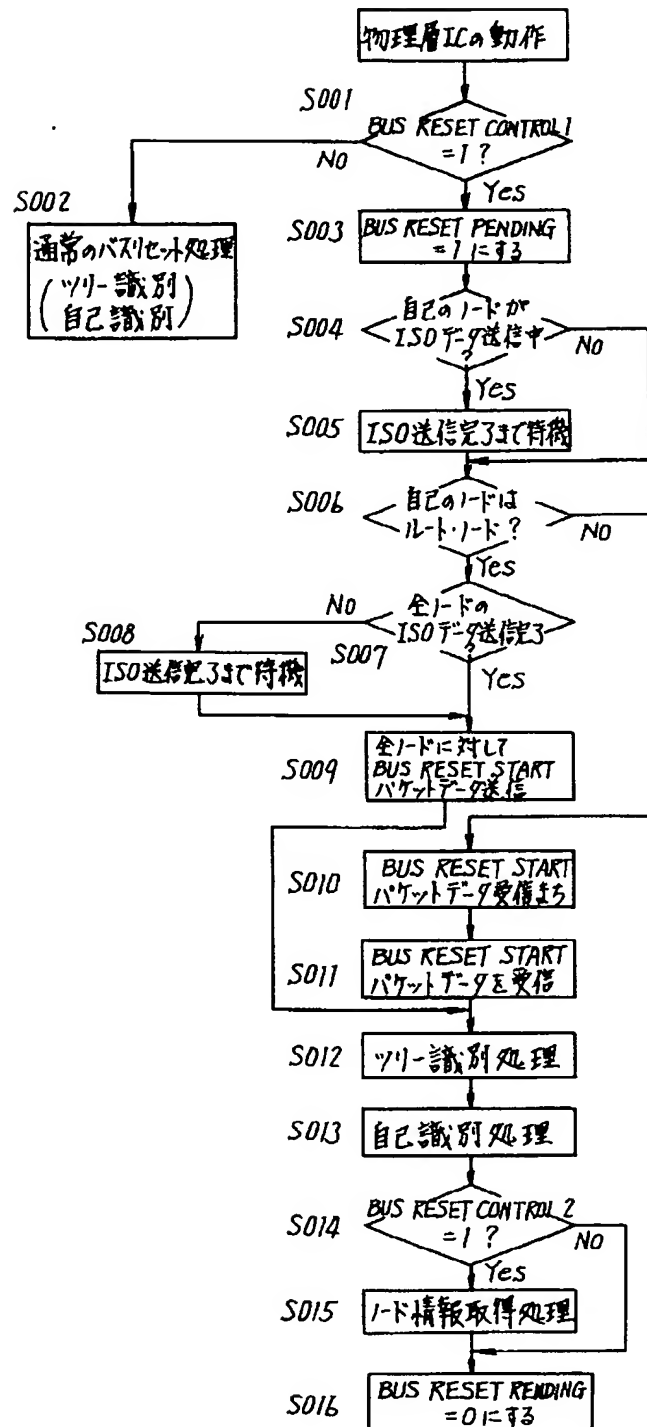
【図6】



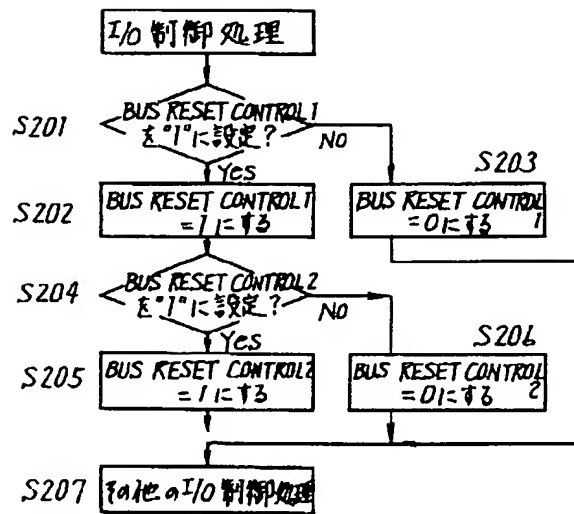
【図7】



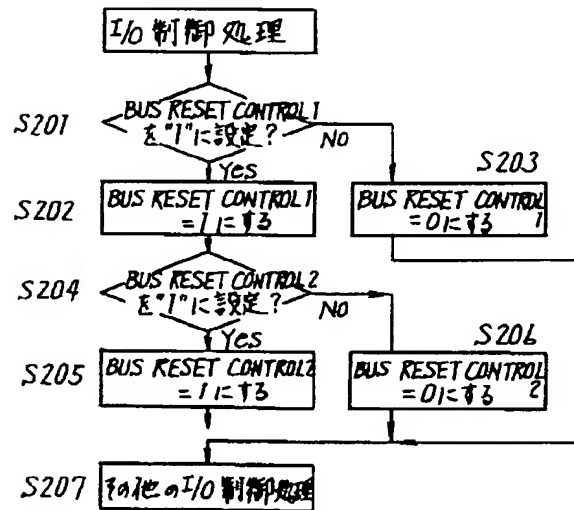
【図3】



【図4】



【図5】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-205353

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H04L 12/40  
G06F 1/24  
G06F 13/00  
G06F 13/38

(21)Application number : 10-001452

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 07.01.1998

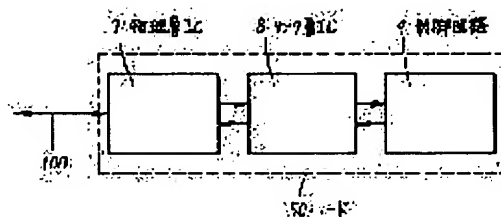
(72)Inventor : KURIYAMA KAZUYA  
NAGATA KAZUO

(54) BUS RESET PROCESSING METHOD AND NODE USING THE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the bus reset processing method and node using the method where retention of bus reset processing and restart control are conducted in response to a state of isochronous ISO data.

SOLUTION: A node 50 of a high speed serial bus 100 is provided with a physical layer IC 7 that sends/receives packet data on the high speed serial bus 100, a link layer IC 8 that extracts data from the packet data received by the physical layer IC 7, and a control circuit 9 that controls the physical layer IC 7 and the link layer IC 8. Receiving a bus reset signal in accordance with addition or deletion of the node 50 of the high speed serial bus 100, the physical layer IC 7 extends the bus reset processing based on a flag that delays tree identification processing, awaits the processing till the end of its own isochronous data communication, and sends packet data denoting restart of bus reset processing, and tree identification and its own identification are conducted, when isochronous data communication of all nodes connecting with the high speed serial bus 100 are finished.



## LEGAL STATUS

[Date of request for examination]

07.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration] withdrawal

[Date of final disposal for application]

05.01.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office